

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-321802

(43)Date of publication of application : 04.12.1998

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
H01F 17/00

(21)Application number : 09-132498

(22)Date of filing : 22.05.1997

(71)Applicant : TOSHIBA CORP

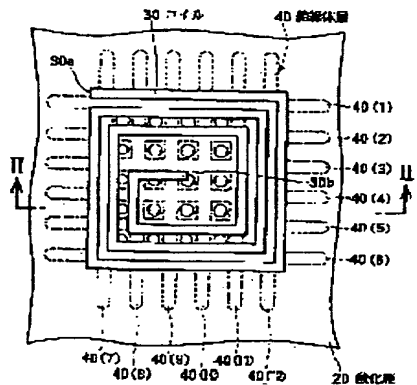
(72)Inventor : SAITO MASANOBU

## (54) INDUCTANCE DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the generation of eddy currents at a coil in an inductance device.

**SOLUTION:** In an inductance device, including an oxide film 20 formed on a semiconductor substrate 10 and a coil 30 formed on the oxide film 20, a lattice-shaped insulating layer 40 is formed in the semiconductor substrate 10 below the coil 30. That is, the insulating layer 40 which consists of an oxide film outer wall and a silicon pillar is embedded in a groove of the semiconductor substrate 10. This insulating layer 40 allows shortening the path of an eddy current generated at the coil to suppress the generation of the eddy current and reducing parasitic capacitance for suppressing the generation of the eddy current.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321802

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.<sup>5</sup>

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

L

21/822

H 0 1 F 17/00

B

H 0 1 F 17/00

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21) 出願番号 特願平9-132498

(22) 出願日 平成9年(1997)5月22日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 斎藤 雅伸

神奈川県川崎市幸区小向東芝町1 株式会

社東芝研究開発センター内

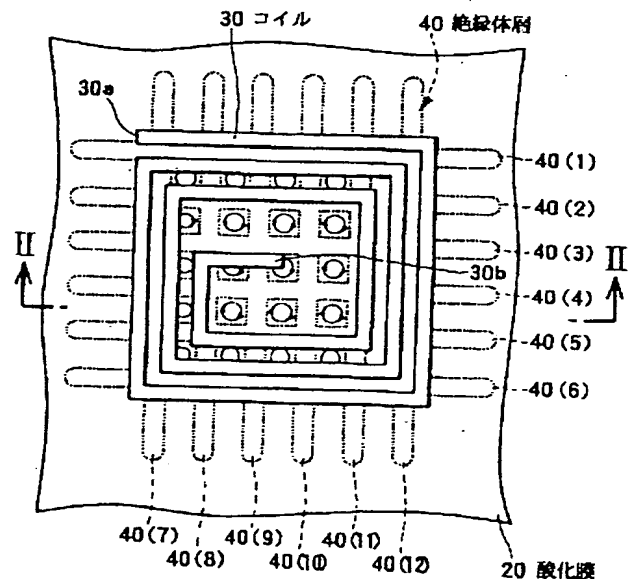
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 インダクタ素子

(57) 【要約】

【課題】 インダクタ素子におけるコイルの渦電流の発生を抑制する。

【解決手段】 半導体基板10上に形成された酸化膜20と、この酸化膜20上に形成されたコイル30とを、有するインダクタ素子において、コイル30下方の半導体基板10中に、格子状に絶縁体層40を形成する。すなわち、半導体基板10の溝10aに、酸化膜外壁42とシリコン柱44とからなる、絶縁体層40を埋め込む。この絶縁体層40により、コイルに発生する渦電流のパスを短くして、渦電流の発生を抑制するとともに、寄生容量を低減して、渦電流の発生を抑制する。



1

## 【特許請求の範囲】

【請求項1】半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成されたコイルと、を備えたインダクタ素子において、

前記コイルの下方における前記半導体基板内に、前記半導体基板を区切るようにその深さ方向に向かって溝が形成され、この溝中に絶縁体層が埋め込まれた、ことを特徴とするインダクタ素子。

【請求項2】前記絶縁体層は、前記半導体基板の表面に格子状に形成された前記溝に埋め込まれていることを特徴とする請求項1に記載のインダクタ素子。

【請求項3】前記絶縁体層は、前記半導体基板の表面に互いにほぼ並列状に形成された複数の溝に埋め込まれていることを特徴とする請求項1に記載のインダクタ素子。

【請求項4】前記絶縁体層は、前記半導体基板の表面に放射状に形成された溝に埋め込まれていることを特徴とする請求項1に記載のインダクタ素子。

【請求項5】半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成されたコイルと、前記コイルの下方における前記半導体基板内に形成され、前記半導体基板と前記コイルとの間の寄生容量を低減する、中空部と、を備えたインダクタ素子において、前記中空部の周囲における前記半導体基板内に、その深さ方向に向かって溝が形成され、この溝中に絶縁体層が埋め込まれ、この絶縁体層を前記中空部を形成する際のストッパとして機能させた、ことを特徴とするインダクタ素子。

【請求項6】前記半導体基板は、シリコンを含むシリコン基板であり、前記絶縁膜は、シリコン酸化膜であることを特徴とする請求項1又は請求項5に記載のインダクタ素子。

【請求項7】前記絶縁体層は、少なくとも一部に酸化膜を備えて形成されることを特徴とする請求項1又は請求項5に記載のインダクタ素子。

【請求項8】前記絶縁体層は、前記溝の内側を覆う酸化膜外壁と、前記酸化膜外壁の内側に位置する、多結晶シリコン又は非結晶シリコンのいずれかからなる、シリコン柱と、を備えて形成されることを特徴とする請求項1又は請求項5に記載のインダクタ素子。

【請求項9】前記絶縁体層は、前記半導体基板上に設けられる素子分離領域と同様の構造であることを特徴とする請求項1又は請求項5に記載のインダクタ素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はインダクタ素子に関するものであり、特に、半導体基板中に発生する渦電流による損失を低減した高周波用のMMIC (Monolithic

2

Microwave Integrated Circuit)に好適なインダクタ素子に関する。

## 【0002】

【従来の技術】図10は、半導体基板上に形成された一般的なインダクタ素子を平面的に示す図である。この図10からわかるように、このようなインダクタ素子に交流電流を流すと、コイル4下方のシリコン基板中に渦電流が発生し、この渦電流がコイル4により発生する磁界を打ち消す方向に作用するという問題があった。すなわち、こうして発生する渦電流により、インダクタ素子の特性が悪くなり、Q値が低下するという問題があった。ここで、Q値とは、共振回路等に用いられる部品としてのコイルの性能の良さを表す数値である。その定義は、 $Q = \omega L / R$ で表される。 $\omega$ は共振周波数における角速度、Lはインダクタンス、Rは抵抗である。

【0003】かかる問題を解決するため、従来図11に示すインダクタ素子も提案されている。図11(a)は、そのインダクタ素子を平面的に示す図、図11

(b)は、その断面を示す図である。特に図11(b)からわかるように、比較的、抵抗の低い、半導体基板2上に、酸化膜3を形成し、この酸化膜3上にコイル4を形成していた。半導体基板2は、不純物を含むシリコン基板等から構成され、酸化膜3は、シリコン酸化膜等から構成されていた。

【0004】さらにここでは、コイル4を形成した後、このコイル4直下における半導体基板2中に、中空部2aを形成していた。すなわち、酸化膜3に開孔3aを形成した後、半導体基板2を等方性エッチングによりエッチングしていた。このエッチングで、コイル4直下における半導体基板2の一部を除去することにより、寄生容量の低減を図っていた。そして、この寄生容量の低減を図ることにより、渦電流の発生を抑制していた。

## 【0005】

【発明が解決しようとする課題】特に、図11(a)からわかるように、上記のようなインダクタ素子にあっては、半導体基板2の一部を等方性エッチングで除去していたので、中空部2aが横方向にまで広がってしまっていた。すなわち、等方性エッチングで中空部2aを所望の大きさに正確に形成することは、困難であることから、この中空部2aをある程度コイル4より大きめに形成せざるを得なかった。このため、半導体装置の集積度を上げることが困難であった。すなわち、中空部2a上には別のインダクタ素子や抵抗素子等の他の素子を形成することができず、集積化を図ることが困難であった。また、コイル4の形成後に、等方性エッチングをする必要があることから、工程数が増加し、製造コストが増大するという問題もあった。

【0006】そこで本発明は、半導体基板中に渦電流が発生するのを抑制して、Q値を向上させつつ、半導体装置の集積度を上げることが可能なインダクタ素子を提供

50

3

することを目的とする。つまり、高周波電流を流した場合でも、良好な特性を有するインダクタ素子を提供することを目的とする。また、中空部が不必要に広がって、素子の集積化の妨げになるのを防止することを目的とする。

【0007】

【課題を解決するための手段】上記課題を解決するため、本発明に係るインダクタ素子は、半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成されたコイルと、を備えたインダクタ素子において、前記コイルの下方における前記半導体基板内に、前記半導体基板を区切るようにその深さ方向に向かって溝が形成され、この溝中に絶縁体層が埋め込まれた、ことを特徴とするものである。

【0008】さらにまた、半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成されたコイルと、前記コイルの下方における前記半導体基板内に形成され、前記半導体基板と前記コイルとの間の寄生容量を低減する、中空部と、を備えたインダクタ素子において、前記中空部の周囲における前記半導体基板内に、その深さ方向に向かって溝が形成され、この溝中に絶縁体層が埋め込まれ、この絶縁体層を前記中空部を形成する際のストッパとして機能させた、ことを特徴とするものである。

【0009】

【発明の実施の形態】

（第1実施形態）本発明の第1実施形態を説明する。本発明の第1実施形態は、コイルを有するインダクタ素子に交流電流を流した場合に発生する渦電流を抑制するため、コイル下方の半導体基板内に、格子状に絶縁体層を埋め込んだものである。以下に、より詳しく説明する。

【0010】図1及び図2に基づいて、本発明の第1実施形態に係るインダクタ素子の構造を説明する。図1はインダクタ素子を平面的に示す図であり、図2は図1におけるII-II線断面図である。

【0011】図2からわかるように、半導体基板10上には、絶縁膜としての、酸化膜20が形成されている。本実施形態においては、半導体基板10はシリコン基板により形成されており、酸化膜20は $\text{SiO}_2$ により形成されている。この酸化膜20上には、コイル30が形成されている。

【0012】図1からわかるように、コイル30は渦巻き状に形成されている。このコイル30の始点30aと終点30bとは、図示しない接続配線により、他の素子へと接続されている。コイル30下方の半導体基板10には、格子状に絶縁体層40が形成されている。すなわち、本実施形態においては、図中における水平方向に6本の絶縁体トレンチ40(1)～40(6)が形成されており、垂直方向に6本の絶縁体トレンチ40(7)～40(12)が形成されている。これら絶縁体トレンチ40(1)～40(12)により、絶縁体層40が形成

4

されている。

【0013】図2からわかるように、絶縁体層40は半導体基板10中に、トレンチ状に形成されている。すなわち、絶縁体層40は、半導体基板10の深さ方向に向かって深く形成された溝10aに埋め込まれている。この絶縁体層40で、半導体基板10を複数エリアに細かく区切るようになっている。より詳しくは、絶縁体層40は、溝10aの内側を覆う酸化膜外壁42と、この酸化膜外壁42の内側に位置するシリコン柱44とから、形成されている。本実施形態においては、酸化膜外壁42は $\text{SiO}_2$ から形成されており、シリコン柱44は多結晶シリコンから形成されている。絶縁体層40の絶縁性は、主として、酸化膜外壁42により保たれている。この絶縁体層40は、半導体基板10上に設けられるSTI(Shallow Trench Isolation)素子分離領域と同様の構造とすることにより、製造工程の削減を図ることが可能となる。

【0014】次に、図3及び図4に基づいて、上記インダクタ素子の製造工程の一例を説明する。これら図3及び図4は、よりわかりやすくするために、図2における右側半分を拡大して示す、工程断面図である。図2における左側半分もこれと同様の工程で製造される。

【0015】図3(a)からわかるように、シリコン基板からなる半導体基板10の表面側にフォトレジストを塗布し、光リソグラフィーでパターニングすることにより、フォトレジストPRを形成する。本実施形態においては、このフォトレジストPRは、平面的に見た場合、格子状にフォトレジストが除去されている。次に、RIE(Reactive Ion Etching)により半導体基板10をエッチングして、溝10a、10a、10aを形成する。

【0016】次に、図3(b)からわかるように、フォトレジストPRを剥離する。続いて、熱酸化により酸化膜42Aを形成する。この酸化膜42Aは溝10aを含む半導体基板10の表面側に形成される。すなわち、溝10aの内側は、酸化膜42Aで覆われる。次に、この酸化膜42Aの表面側にポリシリコン層44Aを形成する。このポリシリコン層44Aで、溝10a内は充填される。

【0017】次に、図4(a)からわかるように、RIE等により、エッチバックをする。このエッチバックにより、半導体基板10上に形成された余分なポリシリコン層44Aと酸化膜42Aとを、除去する。これにより、酸化膜外壁42とシリコン柱44とからなる絶縁体層40が形成される。すなわち、半導体基板10の溝10a内に埋め込まれた絶縁体層40が形成される。

【0018】次に、図4(b)からわかるように、CVD等により $\text{SiO}_2$ を堆積して、酸化膜20を形成する。続いて、この酸化膜20上に、スパッタリングによりAlを堆積してアルミ層30Aを形成する。このアルミ層30Aを光リソグラフィーとRIEにより渦巻き形

5

状にエッチングをする。このエッチングによりコイル30が形成される。これにより、インダクタ素子は完成するが、さらにこの上に酸化膜を形成して、接続配線等の他の配線層を形成することも可能である。

【0019】以上のように、本発明の第1実施形態においては、コイル30下方の半導体基板10表面の溝10a中に、絶縁体層40を格子状に埋め込んだ。このため、半導体基板10内に発生する渦電流を抑制することができる。すなわち、渦電流は絶縁体層40中を通過することができないため、渦電流のパスが短くなる。このため、渦電流の発生を抑制することができる。したがって、この渦電流がコイル30により発生する磁界を打ち消す方向に作用するという問題を回避して、インダクタ素子のQ値を向上させることができる。つまり、インダクタ素子に高周波電流を流した場合における、渦電流損失を低減して、特性を良好なものとすることができる。

【0020】また、絶縁体層40により、寄生容量の削減を図ることができ、この点からも、渦電流の発生を抑制することができる。すなわち、絶縁体層40がない半導体基板においては、その半導体基板の全体の面積に応じた寄生容量が発生する。これに対して、格子状に形成された絶縁体層40を有する半導体基板10においては、この絶縁体層40により半導体基板10が区切られているので、コイル30の下方に位置する絶縁体層40で囲まれた狭い面積のみに応じた寄生容量しか発生しない。このため、寄生容量の削減ができ、また、この寄生容量の削減により渦電流の抑制も図ることができる。

【0021】さらに、従来のように、コイル30の下方に中空部を形成しないので、半導体装置の集積化を図ることができる。すなわち、従来は中空部をコイル30よりも大きめに形成せざるを得なかったことから、インダクタ素子と他の素子との間を大きくとらなければならなかった。これに対し、本実施形態においては中空部を形成する必要がないので、このインダクタ素子と他の素子との間の距離を狭めることができる。つまり、半導体装置の集積化を図ることができる。

【0022】そのうえ、従来のように、コイル30形成後に等方性エッチングをすることもないので、コイル30にダメージを与えるおそれもなくすることができる。しかも、この等方性エッチング工程を省略することができるので、工程数の削減と製造コストの低減を図ることができる。

【0023】(第2実施形態)以下に、本発明の第2実施形態を説明する。本発明の第2実施形態は、コイルを有するインダクタ素子に交流電流を流した場合に発生する渦電流を抑制するため、コイル下方の半導体基板内に、並列状に絶縁体層を埋め込んだものである。以下に、より詳しく説明する。

【0024】図5は本発明の第2実施形態を示す図である。この図5は、インダクタ素子を平面的に示す図であ

6

り、第1実施形態における図1に相当する図である。この図5からわかるように、第2実施形態のインダクタ素子においては、絶縁体層40は並列状に形成されている。すなわち、図中における水平方向に6本の絶縁体トレンチ40(1)~40(6)が平行に形成されている。この点を除いては、第2実施形態のインダクタ素子は、上記第1実施形態のインダクタ素子と同様の構造である。

【0025】以上のように、本発明の第2実施形態においては、半導体基板10表面に並列状に絶縁体層40を形成した。このため、第1実施形態と同様の効果を得ることができる。すなわち、渦電流パスを短くすることによる渦電流の抑制と、寄生容量を減少させることによる渦電流の抑制とを、図ることができる。しかも、絶縁体層40は6本の絶縁体トレンチ40(1)~40(6)で形成されているので、絶縁体トレンチを密接して形成する必要がなくなり、容易にインダクタ素子を製造することができる。すなわち、第1実施形態のように、12本の絶縁体トレンチ40(1)~40(12)を形成するのに比べて、容易に絶縁体トレンチ40(1)~40(6)を形成することができる。

【0026】(第3実施形態)以下に、本発明の第3実施形態を説明する。本発明の第3実施形態は、コイルを有するインダクタ素子に交流電流を流した場合に発生する渦電流を抑制するため、コイル下方の半導体基板内に、放射状に絶縁体層を埋め込んだものである。以下に、より詳しく説明する。

【0027】図6は本発明の第3実施形態を示す図である。この図6は、インダクタ素子を平面的に示す図であり、第1実施形態における図1に相当する図である。この図6からわかるように、第3実施形態のインダクタ素子においては、絶縁体層40は放射状に形成されている。すなわち、渦巻き状のコイル30の中心部付近をその交点として、放射状に4本の絶縁体トレンチ40

(1)~40(4)が形成されている。この点を除いては、第3実施形態のインダクタ素子は、上記第1、第2実施形態のインダクタ素子と同様の構造である。

【0028】以上のように、本発明の第3実施形態においては、半導体基板10表面に放射状に絶縁体層40を形成した。このため、第1、2実施形態と同様の効果を得ることができる。すなわち、渦電流パスを短くすることによる渦電流の抑制と、寄生容量を減少させることによる渦電流の抑制とを、図ることができる。しかも、第2実施形態よりもさらに絶縁体トレンチの本数が減少するので、より一層容易にインダクタ素子を製造することができる。すなわち、4本の絶縁体トレンチ40(1)~40(4)で絶縁体層40を形成することができるので、絶縁体トレンチ同士の間隔をより、広くとることができる。このため、絶縁体層40を容易に形成することができる。

7

【0029】（第4実施形態）以下に、本発明の第4実施形態を説明する。本発明の第4実施形態は、コイルを有するインダクタ素子に交流電流を流した場合に発生する渦電流を抑制するために、コイル下方の半導体基板内に中空部を形成したインダクタ素子において、この中空部の形成される領域をコイル下方にのみ限定するために、このコイルの周囲における半導体基板中に絶縁体層を埋め込んだものである。以下に、より詳しく説明する。

【0030】まず、図7に基づいて、本発明の第4実施形態に係るインダクタ素子の構造を説明する。図7

(a) はインダクタ素子を平面的に示す図であり、図7 (b) はその断面を示す図である。

【0031】図7 (a) からわかるように、酸化膜21の内部には、渦巻き状のコイル30が形成されている。このコイル30の中心付近の酸化膜21には、開孔22が形成されている。コイル30の周囲における半導体基板10中には、このコイル30を囲うように絶縁体層40が形成されている。この絶縁体層40は、コイル30と同様に矩形状に形成されている。絶縁体層40に囲われた内側部分には、中空部12が形成されている。

【0032】図7 (b) からわかるように、絶縁体層40は半導体基板10の深さ方向に向かって深く形成されている。絶縁体層40は、上述の他の実施形態と同様に、酸化膜外壁42とシリコン柱44とから、形成されている。上述のように、この絶縁体層40の内側には、中空部12が形成されている。

【0033】次に、図8及び図9に基づいて、上記インダクタ素子の製造工程の一例を説明する。

【0034】図8 (a) からわかるように、シリコン基板からなる半導体基板10の表面側にフォトレジストを塗布し、光リソグラフィでパターニングすることにより、フォトレジストPRを形成する。本実施形態においては、このフォトレジストPRは、平面的に見た場合、矩形状にフォトレジストが除去されている。次に、RIE (Reactive Ion Etching) により半導体基板10をエッチングして、溝10aを形成する。これにより、コイル30の形成予定領域の周囲に、溝10aが形成される。

【0035】次に、図8 (b) からわかるように、フォトレジストPRを剥離する。続いて、熱酸化により酸化膜42Aを形成する。この酸化膜42Aは溝10aを含む半導体基板10の表面側に形成される。すなわち、溝10aの内側を覆うように酸化膜42Aが形成される。次に、この酸化膜42Aの表面側にポリシリコン層44Aを形成する。このポリシリコン層44Aで、溝10a内は充填される。

【0036】次に、図9 (a) からわかるように、RIE等により、エッチバックをする。このエッチバックにより、半導体基板10上に形成された余分なポリシリコン層44Aと酸化膜42Aとを、除去する。これによ

8

り、酸化膜外壁42とシリコン柱44とからなる絶縁体層40が形成される。次に、CVD等によりSiO<sub>2</sub>を堆積して、酸化膜20を形成する。続いて、この酸化膜20上に、スパッタリングによりAlを堆積してアルミ層30Aを形成する。このアルミ層30Aを光リソグラフィとRIEにより渦巻き形状にエッチングをする。このエッチングによりコイル30が形成される。

【0037】次に、図9 (b) からわかるように、酸化膜20上とコイル30上とに、CVD等によりSiO<sub>2</sub>を堆積して、酸化膜21を形成する。この酸化膜21中に、コイル30は埋設される。続いて、光リソグラフィとRIEにより、酸化膜20、21に開孔22を形成する。次に、この開孔22を通じて、CDE (chemical dry etching) やEDPウェットエッチング等の等方性エッチングをすることにより、半導体基板10中に中空部12を形成する。これにより、インダクタ素子は完成するが、さらにこの上に酸化膜を形成して、接続配線等の他の配線層を形成することも可能である。

【0038】以上のように、本発明の第4実施形態においては、半導体基板10中におけるコイル30の周囲に、絶縁体層40を形成した。このため、中空部12をコイル30下方の必要な領域にのみ形成することができる。すなわち、半導体基板10に等方性エッチングにより中空部12を形成する際に、絶縁体層40をストップとして機能させることができる。これにより、中空部12が余分な領域まで形成されてしまうのを防止することができる。つまり、中空部12を正確な大きさで形成することができる。その結果、隣接する他の素子との距離を狭めることができ、半導体装置の集積化を図ることができる。

【0039】しかも、コイル30を酸化膜21中に埋設してから、開孔22や中空部12を形成するので、これらの形成の際にコイル30にダメージを与えるのを、回避することができる。

【0040】なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、絶縁体層の本数及び間隔は上記のものに限らず、コイル30の大きさ、コイル30の渦巻き形状の巻き数等により、任意の本数及び間隔とすることができる。また、本発明はGaAsのような化合物半導体や、埋め込み絶縁層を有するSOI基板に対しても有効であることはいうまでもない。

【0041】さらに、シリコン柱44を省略して、SiO<sub>2</sub>のみで絶縁体層40の全体を形成することもできる。また、シリコン柱44は、非結晶シリコンで形成することも可能である。しかも、絶縁体層40は、半導体基板10上に設けられ素子どうしを互いに分離する素子分離領域と同様の構造とすることにより、製造工程の削減を図ることが可能となる。すなわち、両者を同様の構造として、同一の製造工程で同時に製造することも可能である。

【0042】

【発明の効果】本発明によれば、コイル下方における半導体基板内に、絶縁体層を埋め込んで半導体基板を区切るようにしたので、コイルに交流電流を流した場合に生ずる渦電流の発生を抑制することができる。すなわち、渦電流パスを短くすることによる渦電流の抑制と、寄生容量を減少させることによる渦電流の抑制とを、図ることができる。

【0043】また、コイル下方の半導体基板内に中空部の周囲に絶縁体層を形成したので、この中空部の形成される領域をコイル下方にのみ限定することができる。このため、中空部が不必要に広がるのを防止して、素子の集積化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態におけるインダクタ素子を平面的に示す図。

【図2】図1におけるII—II線断面図。

【図3】第1実施形態におけるインダクタ素子の工程断面図の一部。

【図4】第1実施形態におけるインダクタ素子の工程断面図の一部。

【図5】本発明の第2実施形態におけるインダクタ素子

を平面的に示す図。

【図6】本発明の第3実施形態におけるインダクタ素子を平面的に示す図。

【図7】本発明の第4実施形態におけるインダクタ素子を示す図。

【図8】第4実施形態におけるインダクタ素子の工程断面図の一部。

【図9】第4実施形態におけるインダクタ素子の工程断面図の一部。

【図10】従来のインダクタ素子を平面的に示す図。

【図11】別の従来のインダクタ素子を示す図。

【符号の説明】

10 半導体基板

10a 溝

12 中空部

20 酸化膜（絶縁膜）

21 酸化膜（絶縁膜）

22 開孔（エッチング開孔）

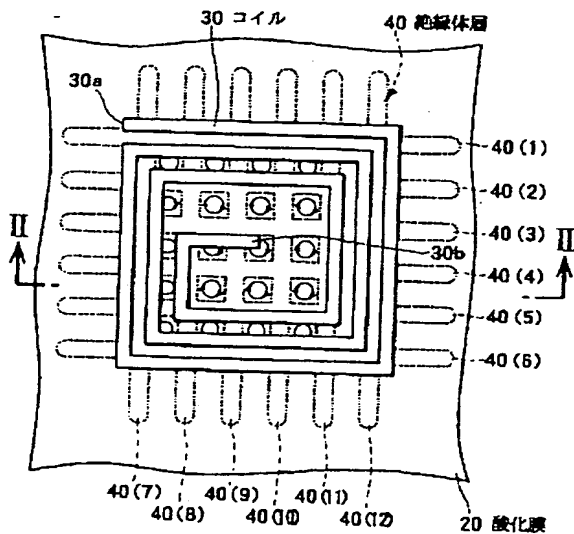
30 コイル

40 絶縁体層

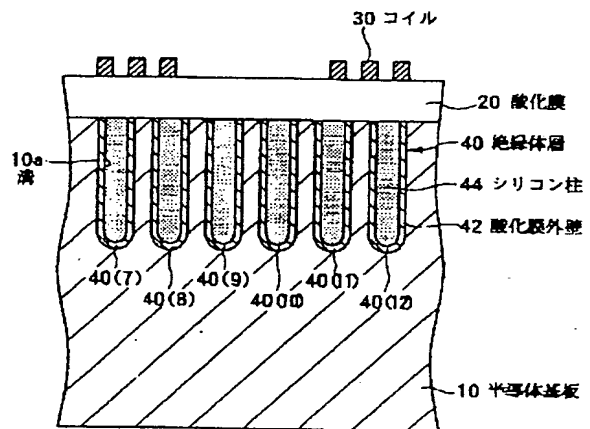
42 酸化膜外壁

44 シリコン柱

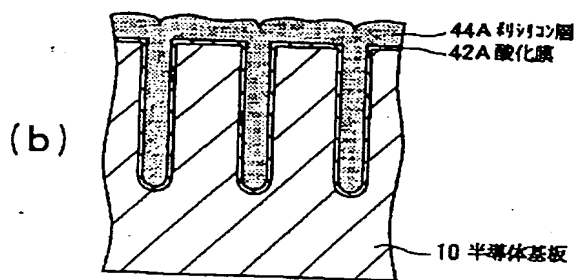
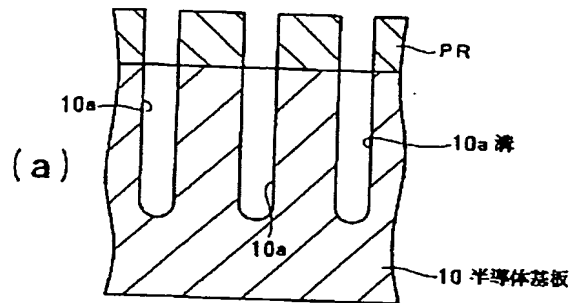
【図1】



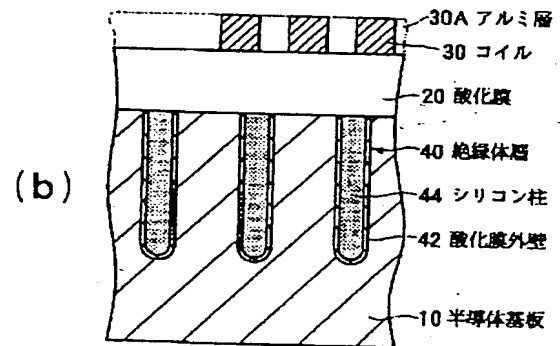
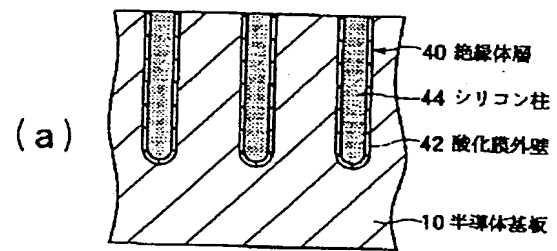
【図2】



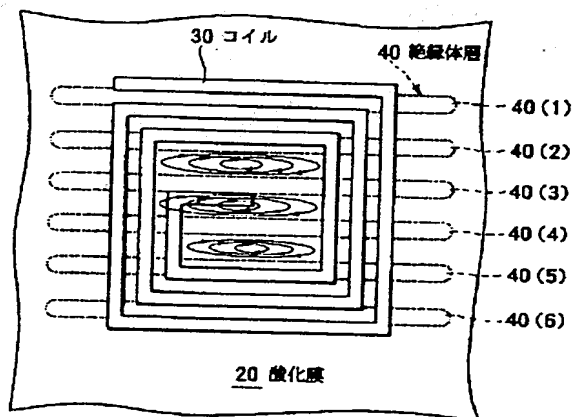
【図3】



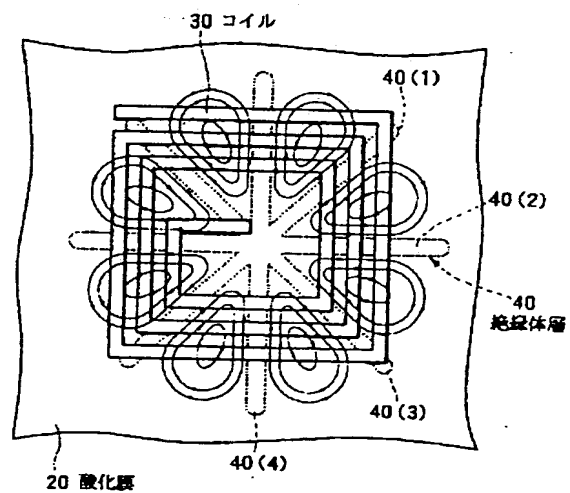
【図4】



【図5】

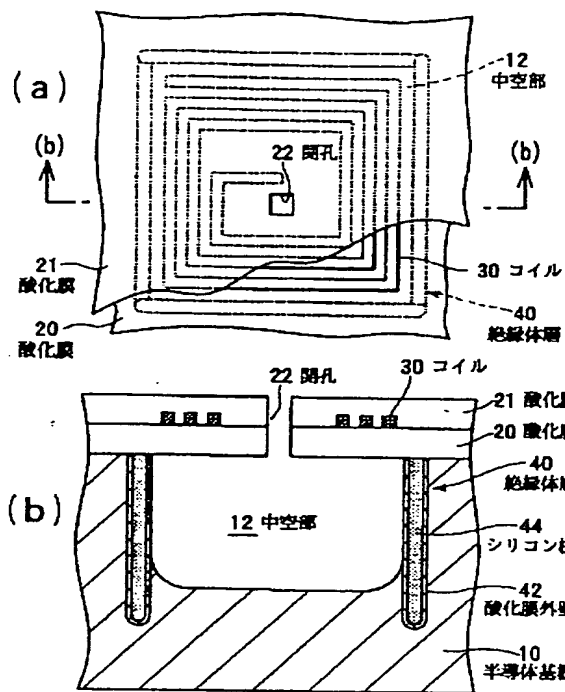


【図6】

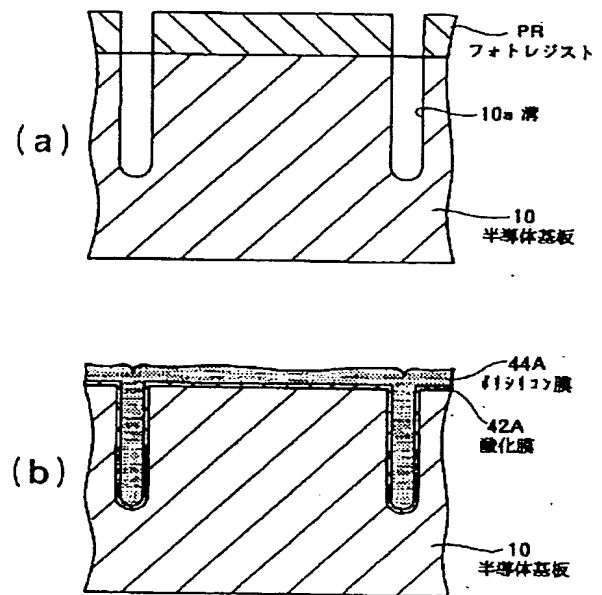




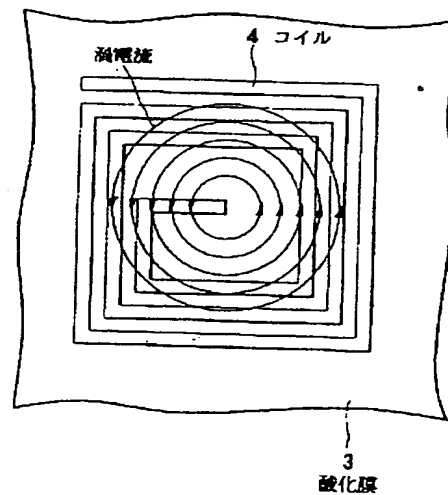
【図7】



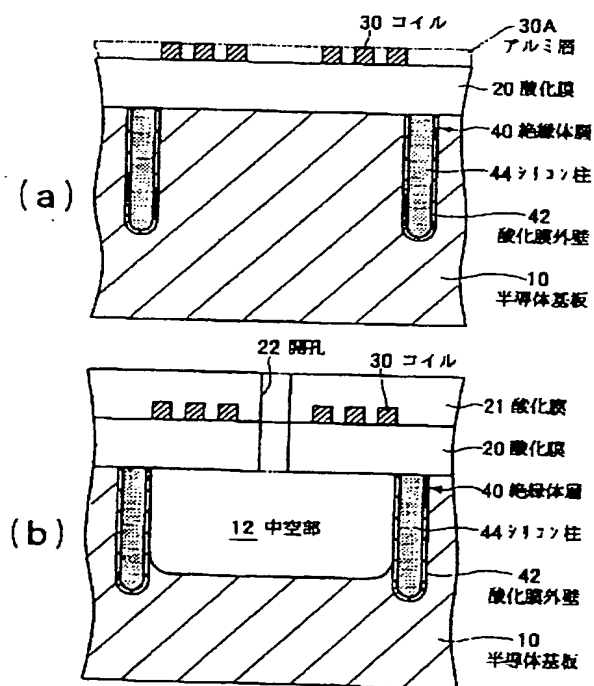
【図8】



【図10】



【図9】



【図11】

